

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-182260
(43)Date of publication of application : 14.08.1986

(51)Int.Cl.

H01L 29/74

(21)Application number : 60-021887
(22)Date of filing : 08.02.1985

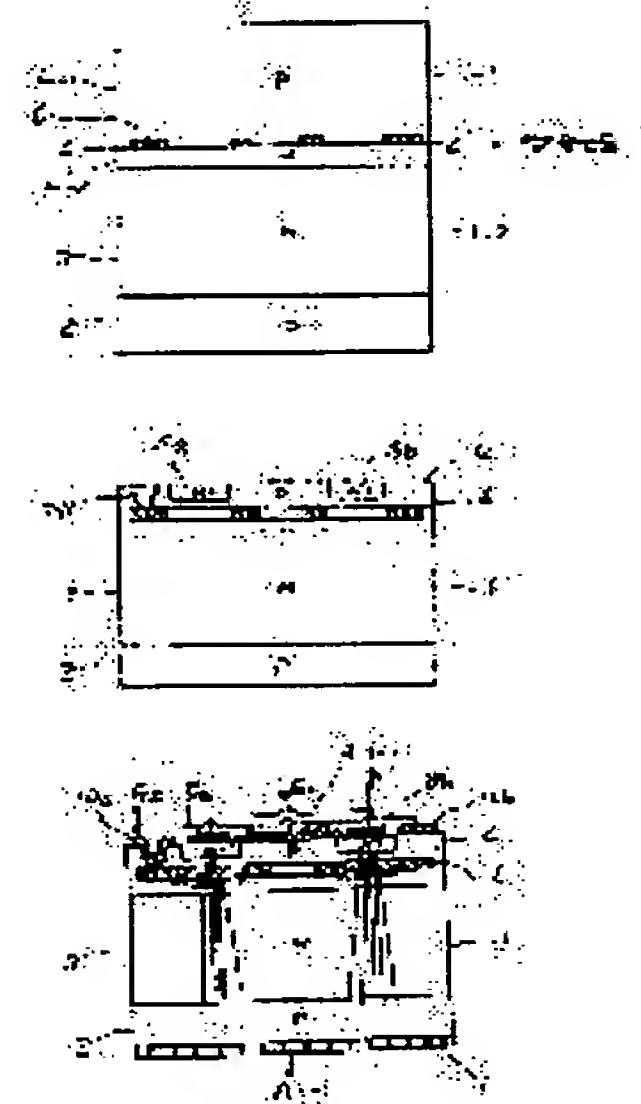
(71)Applicant : TOSHIBA CORP
(72)Inventor : TAKIGAMI KATSUHIKO
OHASHI HIROMICHI
YOTSUDO TAKASHI
NAKAGAWA AKIO

(54) GATE TURN-OFF THYRISTOR

(57)Abstract:

PURPOSE: To increase the maximum turn-off currents ITGQM of a GTO largely by burying a metallic layer into a P base layer and connecting the metallic layer to a gate electrode.

CONSTITUTION: A metal is buried into grooves 6 in a P-type Si substrate 1-1. An Si substrate 1-2 consisting of P-N-P three layers is prepared. Surfaces to be bonded of both substrates are mirror-polished, and mirror surfaces are bonded mutually through degreasing, the removal of contaminated films, washing by water and centrifugal drying, and unified at 1,000 ~ 1,200° C. A P layer 4 is polished in predetermined thickness, P is diffused to shape N+ layers 5a, 5b, and an etched groove 20 reaching the metallic layers 6 is formed in the layer 4. An anode electrode 7, cathode electrodes 8 and gate electrodes 9, 10 for a turn-OFF are attached. According to the constitution, currents are sucked out of gates on a gate turn-OFF, and lateral resistance in a P base layer is reduced remarkably, thus largely increasing ITGQM. Zener currents may not be flowed after the turn-OFF, and the temperature rise of the gate sections is also inhibited, thus resulting in effectiveness of operation at high frequency.



⑫ 公開特許公報(A)

昭61-182260

⑤Int.Cl.⁴
H 01 L 29/74

識別記号

庁内整理番号
7216-5F

④公開 昭和61年(1986)8月14日

審査請求 未請求 発明の数 1 (全6頁)

④発明の名称 ゲートターンオフサイリスタ

②特 願 昭60-21887

②出 願 昭60(1985)2月8日

| | | | | |
|------|-----------|----|--------------|--------------|
| ⑦発明者 | 滝上 | 克彦 | 川崎市幸区小向東芝町1 | 株式会社東芝総合研究所内 |
| ⑦発明者 | 大橋 | 弘通 | 川崎市幸区小向東芝町1 | 株式会社東芝総合研究所内 |
| ⑦発明者 | 四戸 | 孝 | 川崎市幸区小向東芝町1 | 株式会社東芝総合研究所内 |
| ⑦発明者 | 中川 | 明夫 | 川崎市幸区小向東芝町1 | 株式会社東芝総合研究所内 |
| ⑦出願人 | 株式会社東芝 | | 川崎市幸区堀川町72番地 | |
| ⑦代理人 | 弁理士 則近 憲佑 | | 外1名 | |

明 細 書

1. 発明の名称

ゲートターンオフサイリスタ

2. 特許請求の範囲

(1). PNPNの四層の半導体から構成してなるゲートターンオフサイリスタにおいて、前記PNPNの四層の中間のいずれか一方の半導体層に集電用の金属層を埋設したことを特徴とするゲートターンオフサイリスタ。

(2). 中間のN型半導体層とアノード側のP型半導体層とが部分的に短絡していることを特徴とする特許請求の範囲第1項記載のゲートターンオフサイリスタ。

(3). 中間の半導体層に埋設する金属層が、絶縁物によって覆われていることを特徴とする特許請求の範囲第1項記載のゲートターンオフサイリスタ。

(4). 絶縁物が窒化物であることを特徴とする特許請求の範囲第3項記載のゲートターンオフサイリスタ。

(5). 中間の半導体層に埋設する金属層はカソード

側のN型半導体層に対応してくり抜いてあることを特徴とする特許請求の範囲第1項記載のゲートターンオフサイリスタ。

(6). 金属層は中間のN型半導体層に埋設し、該N型半導体層上にゲート電極を設け、該ゲート電極と金属層との間の領域を高不純物濃度で構成したことを特徴とする特許請求の範囲第1項記載のゲートターンオフサイリスタ。

(7). ベース中に埋設する金属層の形成は、半導体を直接圧着する製造法を用いることを特徴とする特許請求の範囲第1項記載のゲートターンオフサイリスタ。

(8). 前記ベース層内に埋設する金属層から、カソード側主面に設けるゲート電極までの引出しを、前記カソード側主面を部分的に凹部を設け、前記埋設金属層に達する深さでAl等の金属膜を用い電気的に接続することを特徴とする特許請求の範囲第1項記載のゲートターンオフサイリスタ。

(9). 前記ベース層内に埋設する金属層からカソード側主面に引出したゲート電極と、エミッタとの

間をMOSFET等の低抵抗スイッチング素子で短絡したことを特徴とする特許請求の範囲第1項記載のゲートターンオフサイリスタ。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明はゲートターンオフサイリスタに関するものである。

〔発明の技術的背景とその問題点〕

ゲートターンオフサイリスタ(GTO)は、サイリスタの特徴を有しながらゲートにオフバイアスを加えることによって、主電流をターンオフ出来る電流の制御性を有しているため近年著しく進歩をとげている。

特にGTOの性能を表わす一つの指標として、最大ターンオフ電流がある。GTOの最大ターンオフ電流(I_{TQGM})を上げる方策は多数あるが、その効果が大きなものにNベース層の厚さを大きくする事と、Pベース層の横方向抵抗を低減する方法がある。Nベースの厚さを大きくする方法は、順方向電圧降下(V_F)の増加を伴うため、電圧定格の

(3)

ゲートターンオフ時にゲートから電流を吸い出すものである。

〔発明の効果〕

本発明によれば、従来のGTOで問題となっていた、ゲートターンオフ時にゲート電極から吸い出される電流がPベースの横方向抵抗中を流れる事によって生じる電圧降下を、極めて低くできる。したがって、ターンオフ時に印加する逆電圧を同一で従来形GTOと比較すると、 I_{TQGM} が著しく高い。通常GTOのゲート・カソード間に印加する逆電圧は、降服電圧程度までであるから、一般には $15\sim 20V$ である。したがってこの限られた電圧を有効に使うには、本発明の如く、横方向電圧降下が著しく低いGTOは、極めて望ましいものといえる。

本発明によれば上記の如く、 I_{TQGM} が増加するだけでなく、ターンオフ後にシュナー電流を流さずに過むのでゲート電力損失が無く、かつGTOのゲート部の温度上昇が抑えられ、高周波運転時などにおいては、特にその有効性が顕著となる。

(5)

面から必要とされる以外はこの方法は用いない。

また、Pベース層の横方向抵抗を減少させる方法は I_{TQGM} を高める事が容易であるが、横方向抵抗を低減するには一般的にPベースの不純物濃度を高くする事である。Pベースの不純物濃度を高めると周知のようにNエミッタの不純物濃度との濃度差の減少をもたらす、Nエミッタからのエレクトロンの注入効率を下げる。

その結果、GTOのラッチング電流が数十アンペアから百アンペアを超える程になる。その他 V_F も増加させるという問題点があった。

〔発明の目的〕

本発明の目的は上記問題点に鑑み、Nエミッタからの注入効率を低下させずに、Pベース層内の横方向抵抗を著しく低くして、 I_{TQGM} を大幅に増加する方法を提供することにある。

〔発明の概要〕

本発明は、この目的を達成するために半導体基体、特にPベース層内に金属層を埋設して、この金属層とゲート電極とを接続することによって、

(4)

〔発明の実施例〕

第1図に本発明の一実施例を示す。図中の番号は第2～第8図までを通して同一部分には同一番号を使用する。

第1図(A)はP型半導体基板1～1に金属層を埋設するための溝部6'～1～6'～4を設けたものを示す。同図のX-X'面の平面図を第1図(B)に示す。

第2図は、第1図(A)のX-X'面に金属を付着せしめ、その後研磨して同図のような形状にしZ-Z'面を形成する。この時前述した溝部に残っている金属6～1から6～4がこれ以後詳述するPベース層内の埋設金属層である。

この時、P型半導体層は製造時のピンセットワークで破損しないような厚さ例えば $200\mu m$ 程度以上にする。

第3図は、前述のP型半導体基板1～1とPNPの三層半導体基板1～2を図の如く向い合せ、下記の要領で直接貼り合わせる。

二枚の半導体基板の被接着面を鏡面研磨して表面粗さ 500\AA 以下に形成する。そして半導体基板の

(6)

表面状態によっては脱脂およびステインフィルム除去の前処理を行なう。Si基板であれば、この前処理は例えば、 $H_2O_2 + H_2SO_4 \rightarrow$ 王水ボイル $\rightarrow HF$ のような工程とする。その後基板を清浄な水で数分程度水洗し、室温でのスピナ乾燥による脱水処理をする。この脱水処理は鏡面研磨面に過剰に吸着している水分を除去するためのもので、吸着水分の殆どが揮散するような100°C以上の加熱乾燥は避けることが重要である。その後両基板を、クラス1以下の清浄な雰囲気下で実質的に異物が介在しない状態で研磨面同士を接合させ、200°C以上で熱処理する。Si基板の場合好ましい熱処理温度は1000°C~1200°Cである。

上述の如く、貼り合せにより一体化した基板を、第4図の如く、先づP層4を数十 μm に研磨した後リンなどを熱拡散しN⁺層を複数個5a~5b形成する。

更にPベースの一部をエッチングして前述した金属層6に達せるまで溝20を掘る。

その後、第5図で示すようにアノード電極7、カソード電極8a,8b、ターンオフ用ゲート電極9、

(7)

ると、それまでNエミッタ直下全域にわたって流れていた電流領域が縮小し、やがて個々のNエミッタ5a,5bの中央部直下のみの導通状態となる。
(第5図の実線)

更にターンオフが進むと、電流はカソード電極8a,8bから流れなくなり、即ち、Nエミッタ5a,5bからの電子の注入が停止され、Nベース中の残留電荷は、Pベース層を経てゲート電極から吸い出される。この時、従来のGTOであればPベース層の横方向抵抗により電圧降下が生じ、ゲート逆電圧の効力を損なうが、第5図に示す本発明によれば、残留電荷は、同図中の破線の如く、金属層6に流入し、極めて低抵抗である金属中を、電圧降下を伴わずにゲート電極10に達し、排出される。

上記の如く、本発明は、ターンオフが効率良く行なわれるため既述のITGQMが、高くとれることが大きな特徴である。

本発明は上記実施例に限られず、種々の変形が可能である。例えば、第7図に示すように、金属

(9)

ターンオフ用ゲート電極10a,10bを設けGTO素子に仕上げる。

第6図は、第5図のものと基本的に同じであるが、金属層6とオフ用ゲート電極10a,10bとの連結を、Pベース層の不純物濃度(P)より高い濃度(P⁺)例えば $1 \times 10^{19} (cm^{-3})$ 以上のものを部分的に拡散してコンタクトをとっている。

ここで基本の構造図である第5図をもちいて動作説明をする。先づ、アノード7(A)に正電位、カソード8a,8b(K)に負の電位を印加した状態で、オン用ゲート9(G₁)に正電位、カソード8a,8b(K)に負電位を印加すると、よく知られているようにNエミッタ5a,5bから電子が注入される、この電子は同図の金属層6の欠落している部分を通過し、Nベースを経由して、Pエミッタに達する。その結果、Pエミッタからのホールの注入を促し、正帰還モードに移る。

一方、ゲートターンオフは、ターンオフ用ゲート電極10a,10bに負電位、カソード電極8a,8b(K)に正電位が印加されるオフゲートパルスを入力す

(8)

層6の周囲の一部を窒化物などの絶縁物20で被覆する方法でも良い。

また第8図のように、Pベース層内で殆ど電圧降下なくカソード側主表面へ引出した金属層の電位をゲート電極10とコンタクトし、更にPベース層内に拡散等により設けられたP型高濃度不純物層40(P⁺)およびN型高濃度不純物層30(N⁺)、絶縁膜50、ゲート電極60(G₂)およびNミッター5からなるMOSFETでゲート・カソード間を任意の時刻に短絡する構造にし、ゲートターンオフをより促進する方法でも良い。

4. 図面の簡単な説明

第1図乃至第5図は本発明の一実施例の素子製造工程を示すもので、第1図は第1の半導体基板の構成を示す図、第2図は第1の半導体基板に金属層を設けた時の断面図、第3図は第1及び第2の半導体基板をつき合せた図、第4図は2枚の半導体基板を貼り合せた後、四層素子に仕上げた図、第5図は本発明を用いて完成したGTOの断面図、第6図から第8図までは、本発明の他の実施

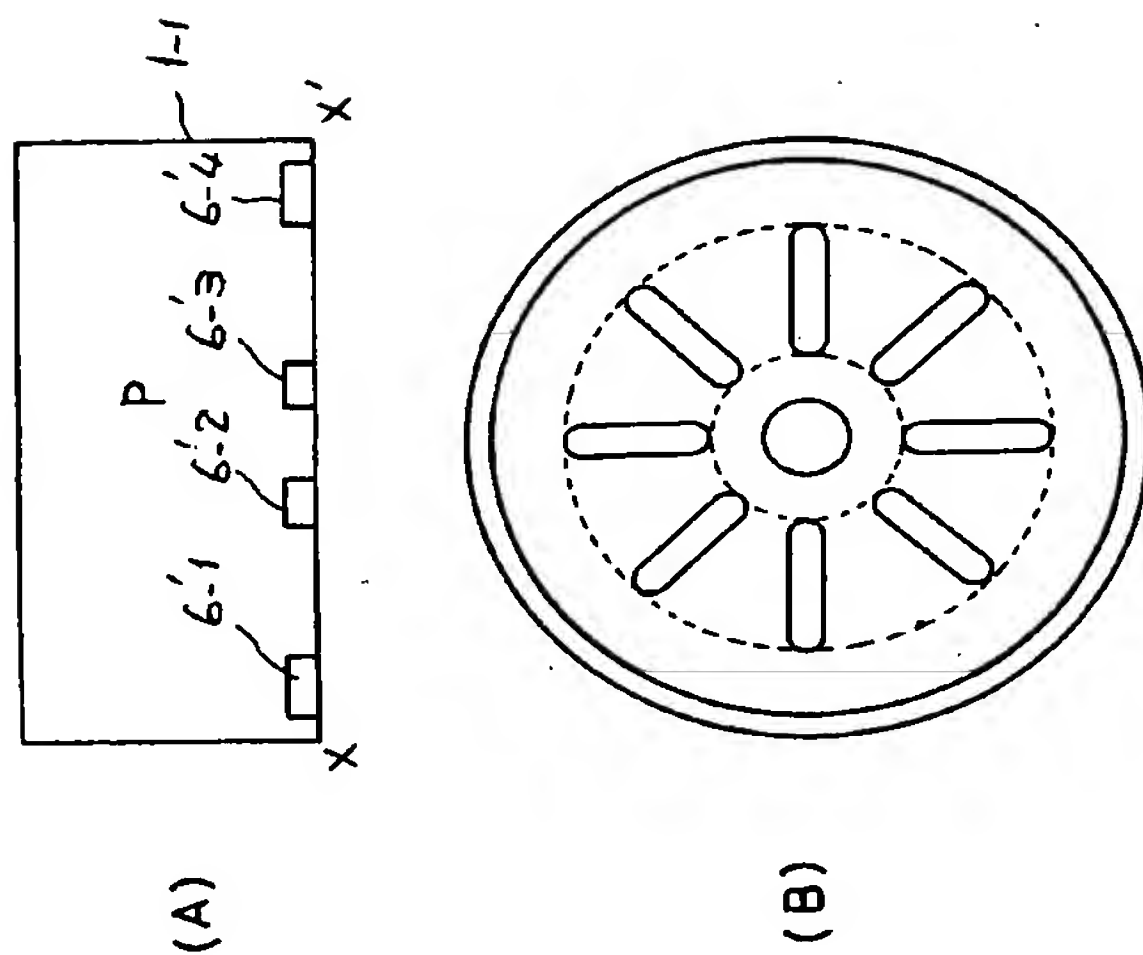
例を示す断面図である。

- 1 … 半導体基板、
- 6 … 金属層、
- 7 … アノード電極、
- 8 … カソード電極、
- 9 … ゲート電極、
- 10 … ゲート電極。

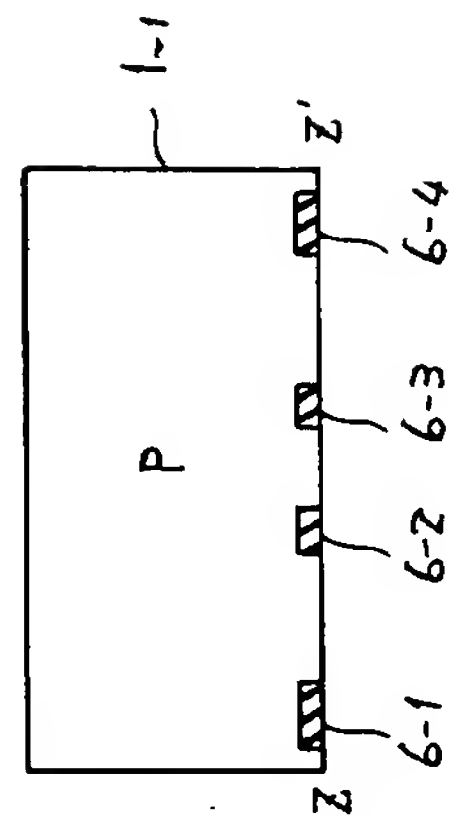
(7317) 弁理士 則 近 憲 佑
(ほか1名)

00

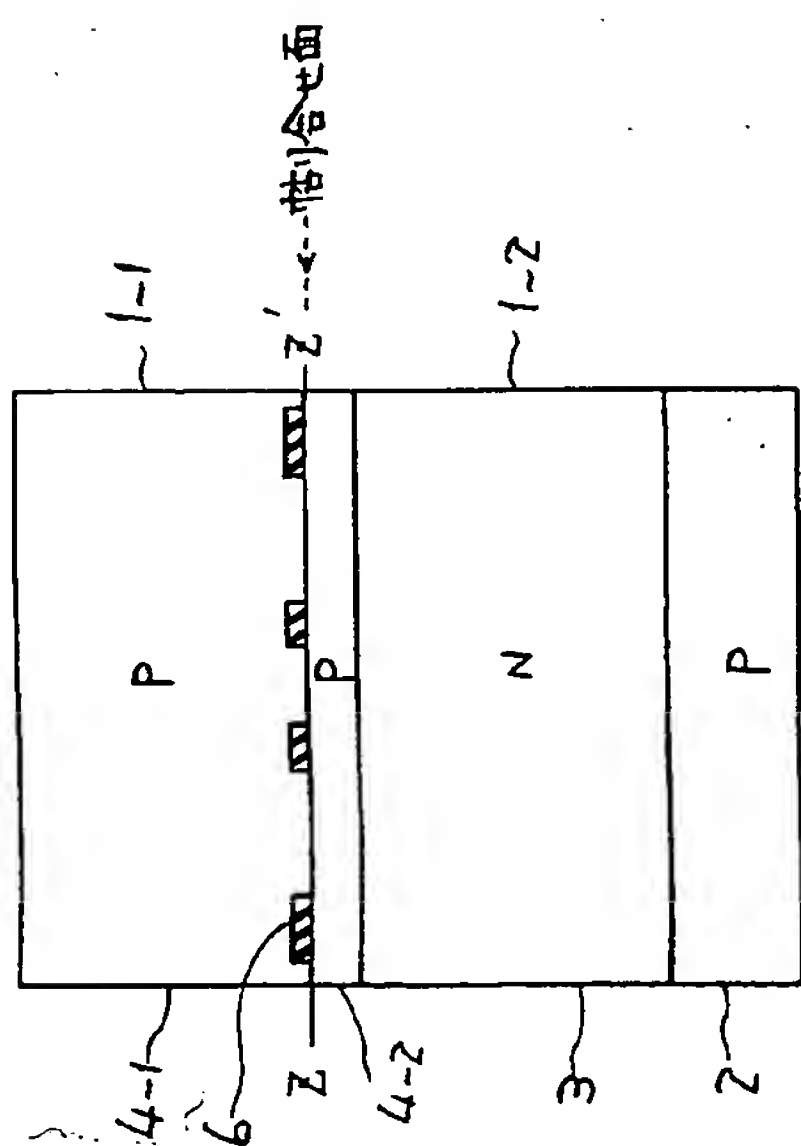
第 1 図



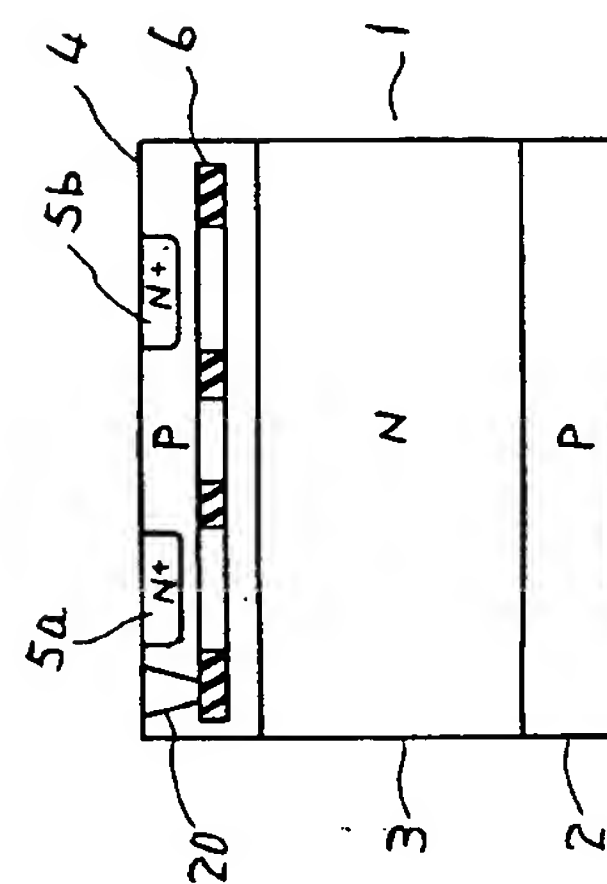
第 2 図



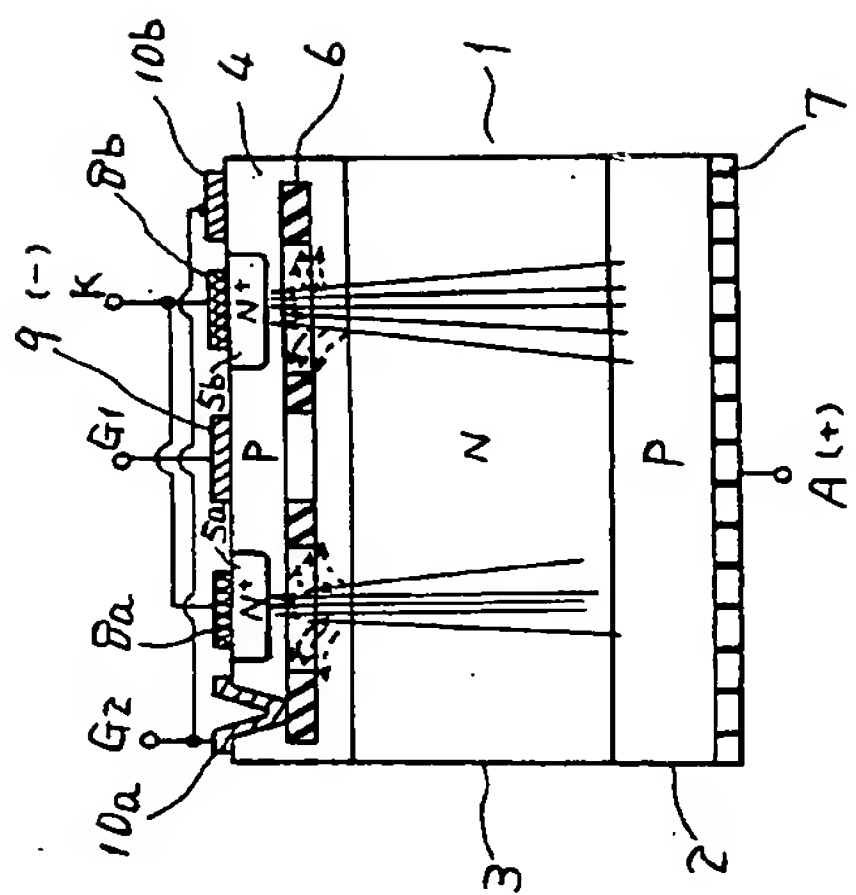
第 3 図



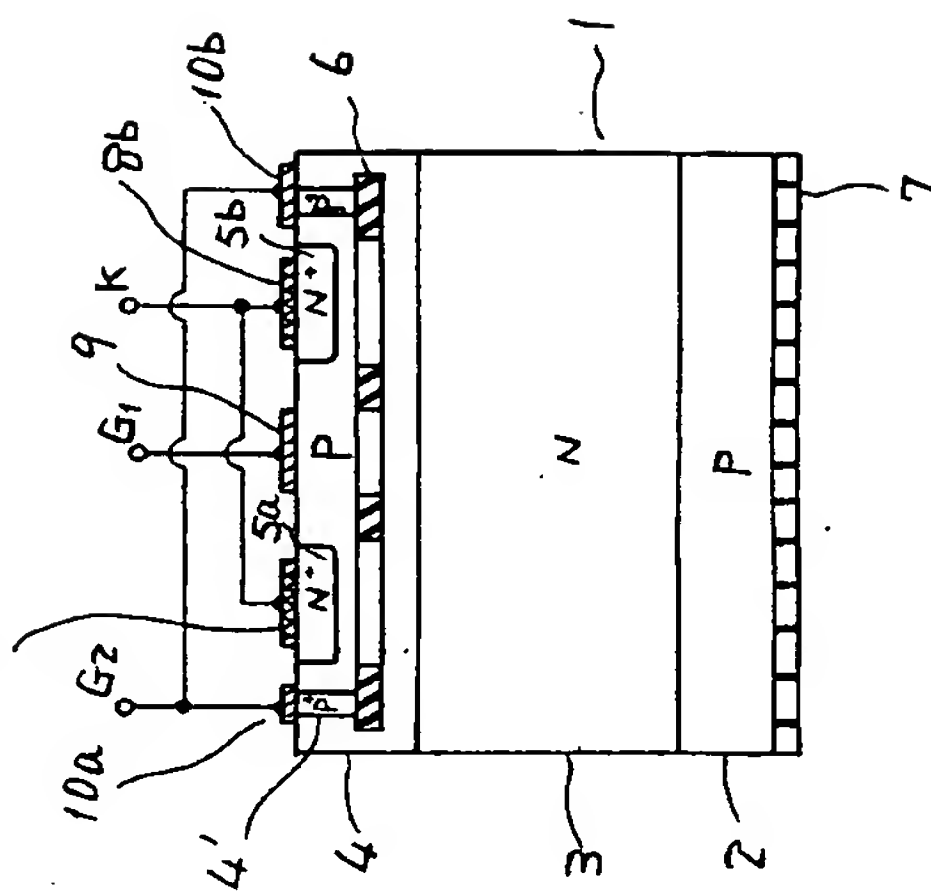
第 4 図



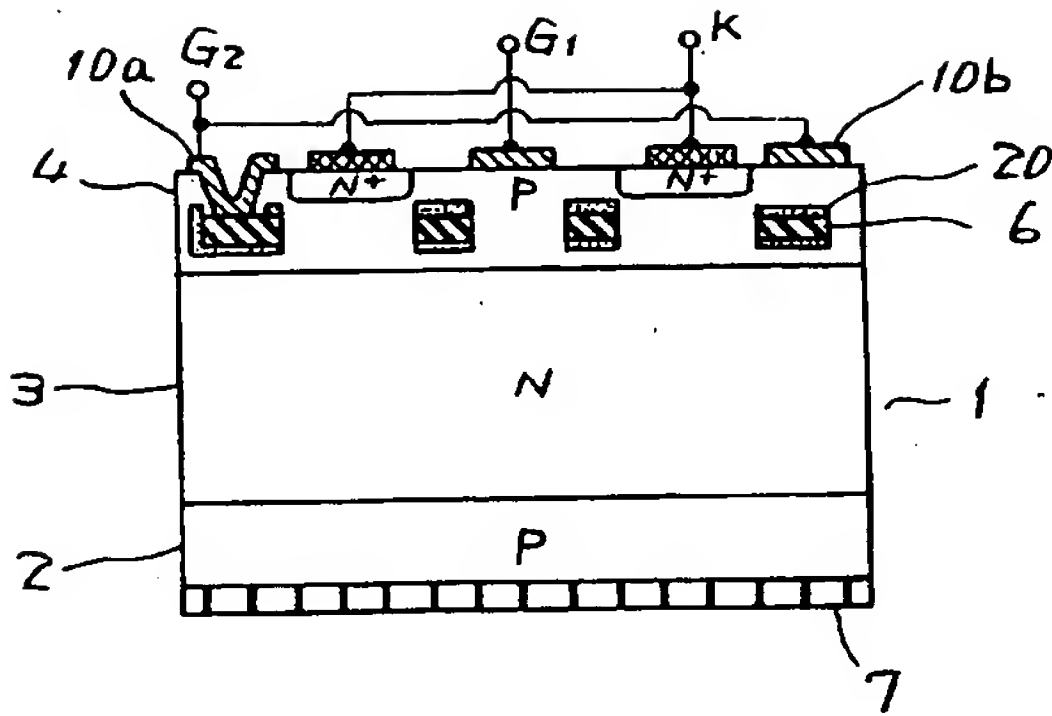
第 5 図



第 6 図



第 7 図



第 8 図

